

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

Patent Number: JP2000306999

Publication date: 2000-11-02

Inventor(s): YAMASHITA YUKIHIRO

Applicant(s): MATSUSHITA ELECTRONICS INDUSTRY CORP

Requested Patent: JP2000306999

Application
Number: JP19990113751 19990421

Priority Number(s):

IPC Classification: H01L21/768; H01L21/283; H01L21/3065; H01L21/31; H01L21/316;
H01L21/318

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To realize a high speed semiconductor device by making thin a liner layer covering an interconnection layer in a multiplayer interconnection including SOG as an interlayer insulation film and increasing the volume of a low permittivity film such as SOG being buried between lines of fine interval thereby reducing the interline capacity.

SOLUTION: A metallization layer 10 formed by etching using a hard mask 8a of an insulation film is arranged on a silicon oxide film 2 formed on a semiconductor substrate 1 and a liner layer 11a is formed on the sidewall by etching back an insulation film, e.g. a plasma TEOS. Furthermore, the interconnection gap in the metallization layer 10 is filled with a low permittivity film 12 such as an SOG film up to a level at least bottom face of the metallization layer 10. The liner layer is made thin by etching back and the space for filling the SOG is enlarged.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-306999

(P2000-306999A)

(43) 公開日 平成12年11月2日(2000.11.2)

(51) Int.Cl.
H 01 L 21/768
21/283
21/3065
21/31
21/316

識別記号

F 1

元-77-10 (參者)

21 / 768

31/80 I-4M104

21 / 283

31/283

21/306

31/31 2 5 B 2 2 2

21/21

31/316 U 5 B 645

審査請求 未請求 請求項の数 5 O.L. (全 9 頁) 最終頁に続く

(21) 出願番号 特願平11-113751

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市寺町1番1号

(22) 出願日 平成11年4月21日(1999.4.21)

(72) 発明者 山下 征太

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100112128

井理士 村山 光感

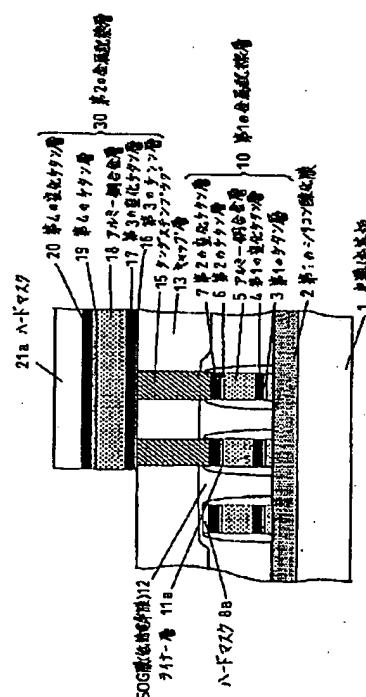
最終頁に統く

(54) 【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 SOGを層間絶縁膜とする多層配線において、配線層を被覆するライナー層を薄膜化し、微細間隔の配線間に埋設されるSOGのような低誘電率膜の体積を増やすことにより配線間容量を低減し、半導体装置の高速化を実現する。

【解決手段】 半導体基板1上に形成されたシリコン酸化膜2上に、絶縁膜からなるハードマスク8aをマスクとしてエッチング形成された金属配線層10が配置され、その側壁にはプラズマTEOSなどの絶縁膜をエッチバックして形成したサイドウォール形状のライナー層11aが配置されており、さらに金属配線層10の配線ギャップにはSOG膜のような低誘電率膜12が少なくとも金属配線層10の底面よりも少なくとも低い面まで埋設されている。エッチバックによりライナー層が薄膜化されてSOGを埋め込むスペースが広がる。



【特許請求の範囲】

【請求項1】 半導体基板の一主面上に配線が形成され、前記配線の上面には第1の絶縁膜が形成され、前記配線および前記第1の絶縁膜の側壁に接してエッチバックで形成された形状を有する第2の絶縁膜からなるサイドウォールが形成され、前記第2の絶縁膜が形成された前記配線間に、前記第1および第2の絶縁膜よりも低誘電率の材料層が少なくとも埋め込まれてなることを特徴とする半導体装置。

【請求項2】 前記低誘電率の材料層は、比誘電率が3.5以下の絶縁膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記低誘電率の材料層は、回転塗布法で形成されたシリコン酸化膜であることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 半導体基板の一主面上に導電膜を形成する工程と、前記導電膜の上面に第1の絶縁膜を堆積する工程と、前記第1の絶縁膜を所望のパターンに加工し、前記第1の絶縁膜をマスクとして前記導電膜を選択的に除去して配線を形成する工程と、前記配線および前記第1の絶縁膜を被覆するよう第2の絶縁膜を形成する工程と、少なくとも前記第2の絶縁膜を全面エッチバックすることによりサイドウォールを形成する工程と、前記サイドウォールを形成した配線間に前記第1および第2の絶縁膜より低誘電率の材料層を少なくとも埋設する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 前記低誘電率の材料層は、誘電率が3.5以下の絶縁膜であり、前記第1および第2の絶縁膜は、プラズマCVD法で形成されたTEOS系シリコン酸化膜あるいはシラン系シリコン酸化膜あるいはプラズマ塗化膜あるいはプラズマSiOF膜あるいはプラズマSiON膜のいずれかを用いたことを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関するものであり、特に半導体集積回路の多層配線に用いられる層間絶縁膜の構造およびその製造方法に関するものである。

【0002】

【従来の技術】 従来の半導体集積回路装置で用いられる多層配線の構造の一つは電子情報通信学会論文誌(C-II Vol J78-C-II No. 5 p180-182 1995年5月)に開示されているように、塗布ガラス膜(Spin On Glass; 以下、SOGと略記す。)を用いたSOG技術を用いるもので、半導体表面の局所段差の高埋込特性と低コスト性に特徴があり、広く半導体装置の層間絶縁膜形成技術として用いられていることが記されている。この構造について図3、図4を参照して説明する。

【0003】 図3は従来のSOG技術を用いた層間絶縁膜を有する半導体装置の構成を示す断面図である。一般に層間絶縁膜の一部としてSOGを用いる構造は、SOGを塗布するだけで層間絶縁膜の表面が平坦となるため、他の平坦化法と比較して工程が簡単であり低成本であるという利点を備えている。

【0004】 図3において、半導体基板1の一主面上に形成した第1のシリコン酸化膜2の上に、第1のチタン層3、第1の塗化チタン層4がそれぞれ20nm、50nm配置されており、その上にアルミニー銅合金層5が400nm、さらにその上に第2のチタン層6および第2の塗化チタン層7がそれぞれ5nm、80nm配置されている。すなわち、これらアルミニー銅合金層5と上下に配置された塗化チタン層4、7およびチタン層3、6で第1の金属配線層10が構成されている。

【0005】 その上に第1の金属配線層10を被覆するようにライナー層11aと呼ばれる絶縁膜層が例えばプラズマTEOS(Tetra Ethyle Ortho Silicate)膜(比誘電率4.3)などで形成されている。さらに、ライナー層11aで被覆された第1の金属配線層10の配線間にSOG膜、例えば比誘電率3.0と比較的低誘電率な膜であるHSQ(Hydrogen Silsesquioxane)のSOG(低誘電率膜)膜12が形成されており、その上にキャップ層13としてプラズマTEOS膜が形成されている。層間絶縁膜は、ライナー層11a、SOG(低誘電率膜)膜12、キャップ層13の3層から構成されている。

【0006】 前記層間絶縁膜には、アルミニー銅合金層18とその上下に配置された第3、第4の塗化チタン層17、20および第3、第4のチタン層16、19からなる第2の金属配線層30と第1の金属配線層10とを電気的に接続するためにピアホールが開孔されており前記ピアホールの内部にはタングステンが埋め込まれ、タングステンプラグ15が形成されている。

【0007】 次にこの構造の製造工程を説明する。図4(a)～図4(g)はSOGを有する従来の多層配線の製造方法に関する工程断面図である。

【0008】 まず、図4(a)に示すように半導体基板1の表面に形成された第1のシリコン酸化膜2の上に、例えばスパッタ法で第1のチタン層3を20nm成膜したのち第1の塗化チタン層4を50nm成膜する。さらにアルミニー銅合金層5をスパッタ法により400nm成膜し、その上に第2のチタン層6を5nm、第2の塗化チタン層7を80nm成膜する。

【0009】 さらに、その上に第1の金属配線層10を形成する際にハードマスク8aとなるプラズマTEOS膜8を例えばプラズマCVD法により230nm成膜する。次に、半導体基板1の表面にレジスト材料を回転塗布し、光リソグラフィー法により所望の配線パターンと

なるレジストパターン9を形成する。

【0010】次に、図4 (b) に示すようにレジストパターン9をエッチングマスクとしてプラズマTEOS膜8を選択的にエッチングする。第2の塗化チタン層7はこのときエッチングストッパー膜としての役割を果たす。こうしてハードマスク8aを形成する。レジストパターン9は、酸素プラズマでアッシング処理を施すことにより除去する。

【0011】次に、図4 (c) に示すようにハードマスク8aをエッチングマスクとしてアルミー銅合金層5とその上下に配置された第1のチタン層3、第1の塗化チタン層4および第2のチタン層6、第2の塗化チタン層7をエッチングすることにより、第1の金属配線層10を形成する。ハードマスク8aであるプラズマTEOS膜8は、第1の金属配線層10を形成後、除去せずにそのまま第1の金属配線層10の直上に残す。

【0012】次に、図4 (d) に示すようにライナー層11aとして例えばプラズマCVD法でプラズマTEOS膜11を120nmの膜厚で全面成膜し、第1の金属配線層10を被覆する。

【0013】次に、図4 (e) に示すようにたとえば回転塗布法によりSOG膜(低誘電率膜)12を塗布成膜したのち窒素雰囲気で450°C、15分程度アーニールすることによりSOG膜12を焼成する。さらにこの上にプラズマCVD法によりプラズマTEOS膜のキャップ層13を1000nm程度成膜したのち、化学的機械的研磨法(Chemical Mechanical Polishing; 以下、CMPと略記す。)によりプラズマTEOS膜のキャップ層13を700nm程度研磨し、層間絶縁膜を平坦化する。

【0014】次に、図4 (f) に示すように半導体基板1の表面にレジスト材料を回転塗布した後、光リソグラフィーによりビアホールを開孔すべき所望のレジストパターン14を形成する。

【0015】次に、図4 (g) に示すようにレジストパターン14をエッチングマスクとして異方性エッチングによりビアホールを開孔する。レジストパターン14を酸素プラズマでアッシングして除去した後、ビアホール内に密着層となるチタン層20nmおよび塗化チタン層70nmをスパッタ法により成膜し、さらにCVD法でタンクステン膜を半導体基板1上に全面成膜する。これをCMP法により研磨することにより、ビアホール内にのみタンクステン膜を埋め込みタンクステンプラグ15を形成する。

【0016】その後、第1の金属配線層10と同様の方法で第3のチタン層16、第3の塗化チタン層17、アルミー銅合金層18、さらに第4のチタン層19、第4の塗化チタン層20を成膜する。その上にハードマスクとなるプラズマTEOS膜21aを例えばプラズマCVD法により230nm成膜する。このあと、第1の金属

配線層10と同様の方法でプラズマTEOS膜21上に所望のレジストパターンを形成し、これをエッチングマスクとしてハードマスク21aとなるプラズマTEOS膜21を異方性エッチングにより形成する。前記レジストを除去した後、ハードマスクであるプラズマTEOS膜21をエッチングマスクとしてアルミー銅合金層18およびその上下に挟まれた第3、第4のチタン層16、19、第3、第4の、塗化チタン層17、20を異方性エッチングにより加工することによって第2の金属配線層30を形成し、多層配線構造が完成する。

【0017】

【発明が解決しようとする課題】半導体装置の微細化に伴って半導体装置の各構成も微細化が要求されており、当然のごとく多層配線においても微細化が要求されてきている。それに伴って、多層配線の配線ライン及びスペースの幅も縮小されてきている。しかし、配線間のスペースが縮小されるに伴って、隣接配線間に生じる寄生容量が増大し、配線遅延が増大してくるので、半導体集積回路装置全体としての速度性能が配線遅延で律速されるようになるという問題が近年クローズアップされてきた。

【0018】また、半導体装置の消費電力Pは(数1)で表される。

【0019】

$$【数1】 P = \alpha \cdot C \cdot V d^2 \cdot f \cdot n$$

ここで、 α は半導体装置の活性化率、Cは寄生容量、Vdは電源電圧、fは動作周波数、nは素子数である。

(数1)で示すとおり半導体装置に生じる寄生容量Cは、消費電力にも効いてくるので、配線間に生じる寄生容量Cを低減することは速度性能のみならず消費電力など半導体装置全体の性能を向上させる上で大変重要な課題である。

【0020】前述の従来構造の半導体装置の例によれば、半導体装置の金属配線層を被覆するために形成するライナー層11aは、例えばプラズマCVD法などの方法で比誘電率4.3程度のプラズマTEOS膜で成膜されているが、プラズマTEOS膜の成膜レートは、生産性を上げ、スループットを低下させないように通常、約500nm/分と大きいため120nmより薄い膜厚を制御よく成膜するのが困難である。

【0021】したがって、半導体装置の微細化により金属配線層のライン及びスペースの幅が縮小されてきているにもかかわらず、比較的、高誘電率であるプラズマTEOS膜(比誘電率4.3)ライナー層の膜厚は特にスペースの微細化に応じて薄膜化されてこないという状況にある。そのため、配線間のスペースに埋め込まれる絶縁膜(この場合、ライナー層であるプラズマTEOS膜とSOG膜)のうち低誘電率であるSOG膜は、配線間容量を低減させるのに有効ではあるがほとんど配線ギャップに埋め込まれなくなってきた。

【0022】このため、従来の技術で示した半導体装置の構造のような形状に低誘電率であるSOG膜を配線ギャップに埋め込む構造では、低誘電率膜であるSOG膜が配線間に生じる寄生容量の低減にあまり寄与しなくなってきて、微細化に伴って課題となる配線間容量の低減に限界が生じてくるという問題があった。

【0023】また、ある場合には図5の半導体装置の断面図に示すように、配線間に極めて微細なスリット状の溝31ができてしまい、SOG膜が安定して埋め込まれずに配線ギャップにボイドを生じるという問題も生じてきた。さらに微細化が進んで配線スペースが縮小されると、配線ギャップ内がすべて比較的高誘電率のプラズマTEOS膜で占める状態となったり、ライナー層を形成した際、配線上部だけ膜が早く成長してライナー層11aを形成した直後ですでに配線間に空洞32ができる。またする。

【0024】これらの制御不可能な配線間に生じる層間絶縁膜の空洞は、プロセス中の熱履歴によって加わる層間絶縁膜に内在する応力や脱離ガスの影響により層間絶縁膜にクラックが生じ、多層配線トータルの品質を低下させるという問題をも引き起こすこととなる。

【0025】なお、SOGは有機系あるいは無機系のシリコン化合物を溶媒に溶解させた液体を塗布し、溶媒や水分を揮発させて膜形成を行うものである。このため水や溶媒が下地配線金属材料に悪影響を与えやすく、SOG形成の前に膜質のよいライナー層を形成しておくことが必須であり、どうしても上記のような問題は避けがたい。

【0026】本発明の目的は、以上のような問題点を解決するためになされたものであり、微細多層配線において、隣接配線間に生じる寄生容量を低減しつつ、配線ギャップに埋め込むSOG膜の埋め込み性を向上し、配線ギャップの層間絶縁膜に空洞を生じない半導体装置の構造およびその製造方法を提供するものである。

【0027】

【課題を解決するための手段】本発明は以上の課題を解決し目的を達成するため本発明の半導体装置は、半導体基板の一主面上に配線が形成され、配線の上面には第1の絶縁膜が形成され、配線および第1の絶縁膜の側壁に接してエッチバックで形成された形状を有する第2の絶縁膜からなるサイドウォールが形成され、第2の絶縁膜が形成された配線間には、第1および第2の絶縁膜よりも低誘電率の材料層が少なくとも埋め込まれてなることを特徴とする。

【0028】この半導体装置においては、低誘電率の材料層は、比誘電率が3.5以下の絶縁膜とすることができます。さらに前記低誘電率の材料層は、SOGのような回転塗布法で形成された酸化シリコン膜が使用できるものである。

【0029】また、本発明の半導体装置の製造方法は、

半導体基板の一主面上に導電膜を形成する工程と、導電膜の上面に第1の絶縁膜を堆積する工程と、第1の絶縁膜を所望のパターンに加工し、第1の絶縁膜をマスクとして導電膜を選択的に除去して配線を形成する工程と、配線および第1の絶縁膜を被覆するよう第2の絶縁膜を形成する工程と、少なくとも第2の絶縁膜を全面エッチバックすることによりサイドウォールを形成する工程と、サイドウォールを形成した配線間に第1および第2の絶縁膜より低誘電率の材料層を少なくとも埋設する工程とを含むものである。

【0030】上記製造方法においては、低誘電率の材料層は、誘電率が3.5以下の絶縁膜であり、第1および第2の絶縁膜は、プラズマCVD法で形成されたTEOS系シリコン酸化膜あるいはシラン系シリコン酸化膜あるいはプラズマ窒化膜あるいはプラズマSiOF膜あるいはプラズマSiON膜のいずれかを用いることができる。

【0031】以上のように本発明は、特に配線を被覆するライナー層に相当する第1および第2の絶縁膜をエッチバックによって形成したものにすることにより、配線の上部コーナーの絶縁膜は上方に広がった形状になり、配線間隔が狭くなても絶縁膜にボイドが生じることがなくなる。また、エッチバックにより配線側壁部の絶縁膜厚が薄くなるので配線間隔が広がり、低誘電率のSOGなどの絶縁膜を充分埋め込むことができる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。

【0033】(実施の形態) 図1は本発明の実施の形態における半導体装置の構成を示す断面図である。図1において、半導体基板1の一主面上に形成された第1のシリコン酸化膜2の上に、第1のチタン層3および第1の窒化チタン層4がそれぞれ20nm、50nmの膜厚で配置され、さらにアルミニ-銅合金層5が400nmの膜厚で配置されている。その上に第2のチタン層6および第2の窒化チタン層7がそれぞれ5nm、80nmの膜厚で配置される。そしてこれら各層3ないし7により第1の金属配線層10が形成されている。

【0034】第1の金属配線層10の上には、これをエッティング加工形成した際のハードマスク8aであるプラズマTEOS膜8が配置されている。さらに第1の金属配線層10およびハードマスク8aの側壁にはサイドウォール形状に形成されたライナー層11aが例えばプラズマTEOS膜などで形成されている。同時に、前記サイドウォールの底面は第1の金属配線層10の底面よりも下に形成されている。さらに、低誘電率膜としてSOG膜(低誘電率膜)12が形成されており、第1の金属配線層10の配線ギャップに埋め込まれている。その上にキャップ層13としてプラズマTEOS膜が形成され、ライナー層11a、SOG膜12、キャップ層13

の3層構造から成る層間絶縁膜が形成されている。

【0035】上記のハードマスク8aあるいはライナー層11aとしては、プラズマCVD法で形成されたTEOS系シリコン酸化膜以外にシラン系シリコン酸化膜あるいはプラズマ窒化膜あるいはプラズマSiOF膜あるいはプラズマSiON膜も使用することができる。また、SOG膜12は比誘電率が約3.0のHSQなどが使用できるが、大きくとも3.5以下にするのが望ましい。

【0036】前記層間絶縁膜のビアホール内にはタングステンプラグ15が形成されており、これを介してアルミニー銅合金膜18とその上下に配置された第3、第4の窒化チタン層17、20および第3、第4のチタン層16、19からなる第2の金属配線層30と第1の金属配線層10とが電気的に接続されている。

【0037】以上の構造の半導体装置の製造工程について、以下に説明する。図2(a)～図2(h)は本発明の半導体装置の製造方法に関する工程断面図である。

【0038】まず、図2(a)に示すように導体基板1の表面の一主面上に形成された第1のシリコン酸化膜2の上に例えばスパッタ法で第1のチタン層3を20nm成膜したのち第1の窒化チタン層4を50nm成膜する。さらにアルミニー銅合金層5をスパッタ法により400nm成膜し、さらにその上に第2のチタン層6を5nm、第2の窒化チタン層7を80nm成膜する。次に、これら各層3～7からなる第1の金属配線層10を加工形成する際にハードマスク8aとなるプラズマTEOS膜8を例えばプラズマCVD法により230nmの膜厚で成膜する。次に、半導体基板1の表面にレジスト材料を回転塗布し、光リソグラフィー法により所望の配線パターンとなるレジストパターン9を形成する。

【0039】次に、図2(b)に示すようにレジストパターン9をエッチングマスクとしてハードマスク8aとなるプラズマTEOS膜8に対して、第2の窒化チタン層7をエッチングストッパー膜として異方性エッチングにより加工し、プラズマTEOS膜8からなるハードマスク8aを形成する。その後、前記レジストパターン9を酸素プラズマによりアッシング処理することにより除去する。

【0040】次に、図2(c)に示すようにハードマスク8aをエッチングマスクとしてアルミニー銅合金層5とその上下に成膜したチタン層および窒化チタン層をエッチングすることにより第1の金属配線層10を形成する。ハードマスク8aは除去せずに第1の金属配線層10の直上に残す。

【0041】次に、図2(d)に示すようにライナー層11aとして例えばプラズマCVD法によりプラズマTEOS膜11を120nmの膜厚で全面成膜する。

【0042】次に、図2(e)に示すようにハードマスク8aであるプラズマTEOS膜8とライナー層11a

であるプラズマTEOS膜11を例えばCHF₃ガス流量30sccm、CF₄ガス流量30sccm、アルゴンガス流量180sccmの混合ガスを用い、圧力5Pa、高周波電力600Wの条件で反応性イオンエッチングにより全面エッチバックし、第1の金属配線層10およびハードマスクの側壁にサイドウォール形状のライナー層11aを形成する。これと同時に、半導体基板1上に形成した第1のシリコン酸化膜2をも一部エッチングし、第1の金属配線層10の底面よりも少なくとも低い面まで第1のシリコン酸化膜2をエッチングする。

【0043】次に、図2(f)に示すように半導体基板1の表面に例えば回転塗布法により比誘電率3.0と比較的の低誘電率な膜であるSOG膜12を成膜したのち、これを窒素雰囲気で450℃、15分程度アニールすることによりSOG膜12を焼成する。

【0044】さらに図2(g)に示すようにこの上にプラズマCVD法によりプラズマTEOS膜を1000nm程度成膜したのち、CMP法によりプラズマTEOS膜を700nm程度研磨することにより膜を平坦化するとともにキャップ層13を形成する。

【0045】次に、図3(h)に示すように従来と同様に半導体基板1の表面にレジスト材料を回転塗布した後、光リソグラフィーによりビアホールを開孔すべき所望のレジストパターンを形成したのち、従来と同様の方法で前記レジストパターンをエッチングマスクにして異方性エッチングによりビアホールを開孔する。前記レジストパターンを除去した後、少なくともこのビアホール内部に密着層となるチタン層を20nm、および窒化チタン層を70nmスパッタ法により成膜し、さらにCVD法でタンクステン膜を半導体基板1上に全面成膜する。これを、CMP法により研磨することによりビアホール内にタンクステン膜を埋め込み、タンクステンプラグ15を形成する。

【0046】その後、第3のチタン層16、第3の窒化チタン層17、アルミニー銅合金層18、さらに第4のチタン層19、第4の窒化チタン層20を第1の金属配線層10を形成したときと同様の条件で成膜する。その上にハードマスク21aとなるプラズマTEOS膜21を例えばプラズマCVD法により230nm成膜する。このあと、従来と同様の方法で所望のレジストパターンを形成し、これをエッチングマスクとしてハードマスク21aとなるプラズマTEOS膜を異方性エッチングにより加工する。前記レジストを除去した後、ハードマスク21aであるプラズマTEOS膜をエッチングマスクとしてアルミニー銅合金およびその上下に挟まれたチタン、窒化チタン膜を異方性エッチングにより加工する。これにより第2の金属配線層30を形成する。

【0047】以上の製造工程では、第1の金属配線層10をライナー層11aとしてのプラズマTEOS膜で被覆した後、それを全面エッチバックしている。このエッ

チバック工程は異方性ではあるが第1の金属配線層10の側壁に形成されたプラズマTEOS膜もエッチングされて従来のものよりも膜厚が薄くなる。それに加えてエッチバックでは一般的に見られるように第1の金属配線層の側壁上部ほど膜厚が薄く、配線間隔は広くなるような形状となるのである。

【0048】このように、第1の金属配線層及びハードマスクの側壁に形成されるサイドウォール形状のライナー層の膜厚は、ハードマスクの膜厚およびライナー層の初期膜厚とそれらの全面エッチバック量とで決まり、比較的容易に所望の膜厚に制御することが可能である。なお、SOG膜12と第1の金属配線層10の第2の窒化チタン層7とが直接接触しないように、エッチバックはハードマスク8aがすべてエッチング除去されない条件で行なうことが望ましい。

【0049】このことによって配線間のスペースはライナー層が形成されても従来より大きくなるので、この上にSOG膜12を塗布してもボイドが形成されることなくなる。また、プラズマTEOS膜11で被覆した時、最初から第1の金属配線上部がふさがり、ボイドが生じていてもエッチバックで余分なプラズマTEOS膜が除去出来、充分に配線のスペースにSOG膜12を埋め込み形成できる。したがって、第1の金属配線10の配線間には比較的多くの体積の低誘電率膜であるSOG膜を埋め込むことが可能となるので、微細化に伴って配線スペースが縮小されても、隣接配線間に生じる寄生容量を低減することができ、配線遅延による半導体装置の速度性能の劣化を防止でき高速な半導体装置を提供できる。

【0050】以上、本発明を実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0051】

【発明の効果】以上、説明したように本発明の半導体装置では、第1の金属配線層10及びその直上に配置されたハードマスク8aの側壁にライナー層11aであるプラズマTEOS膜をサイドウォール形状に加工して薄膜

化した。このことで低誘電率膜を第1の金属配線の間に埋め込むのが容易となり、配線のギャップに空洞を生じることなく層間絶縁膜を形成できるという効果を有する。したがって隣接配線間に生じる寄生容量を低減することができ、配線遅延による半導体装置の速度性能の劣化を防止でき高速な半導体装置を提供できる。さらに、消費電力の小さい半導体装置を提供できるという効果も有することはいうまでもない。

【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体装置の構成を示す断面図

【図2】本発明の実施の形態2における半導体装置の製造方法を示す工程断面図

【図3】従来の半導体装置の構成を示す断面図

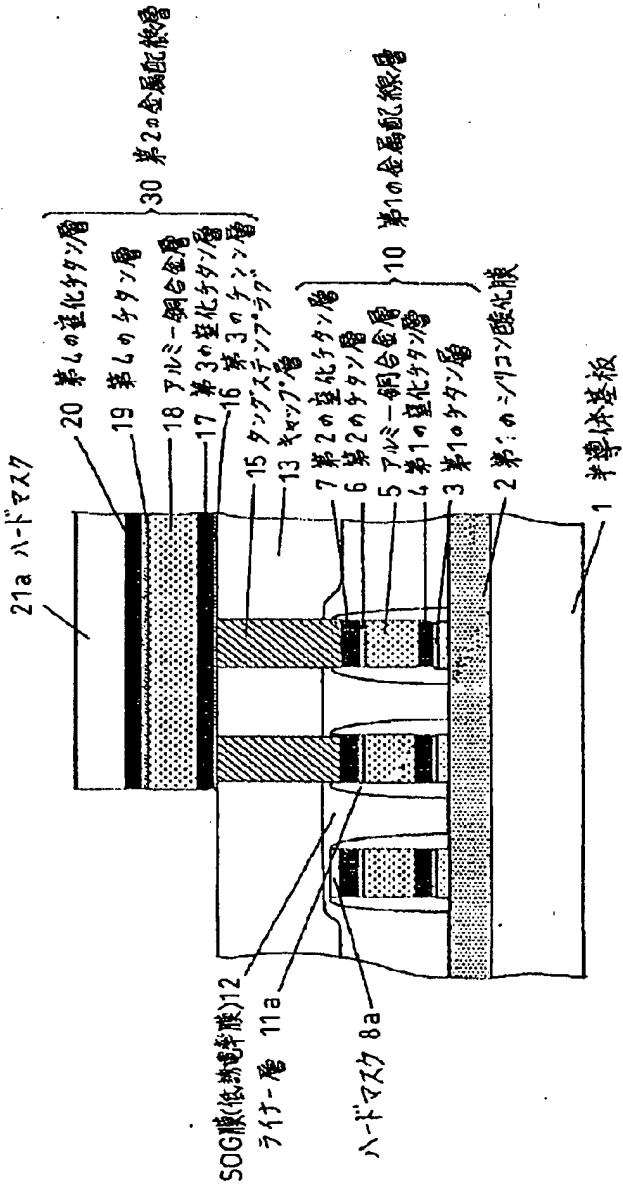
【図4】従来の半導体装置の製造方法を示す工程断面図

【図5】従来の半導体装置において微細化により生じる課題を説明する断面図

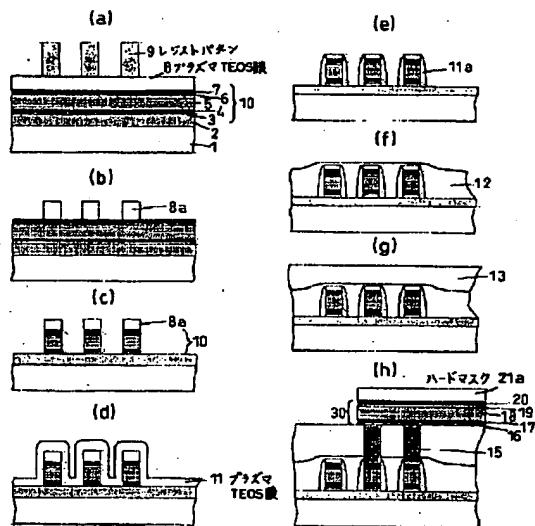
【符号の説明】

- 1 半導体基板
- 2 第1のシリコン酸化膜
- 3 第1のチタン層
- 4 第1の窒化チタン層
- 5 アルミー銅合金層
- 6 第2のチタン層
- 7 第2の窒化チタン層
- 8a, 21a ハードマスク
- 9, 14 レジストパターン
- 10 第1の金属配線層
- 11a ライナー層
- 12 SOG膜(低誘電率膜)
- 13 キャップ層
- 15 タングステンプラグ
- 16 第3のチタン層
- 17 第3の窒化チタン層
- 18 アルミー銅合金層
- 19 第4のチタン層
- 20 第4の窒化チタン層
- 30 第2の金属配線層

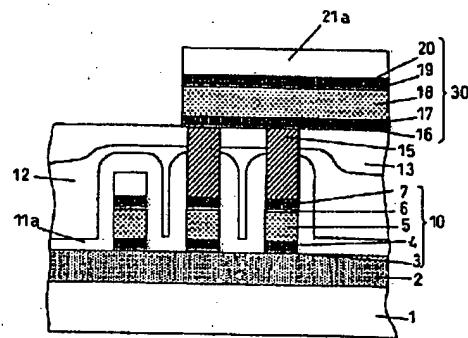
【図1】



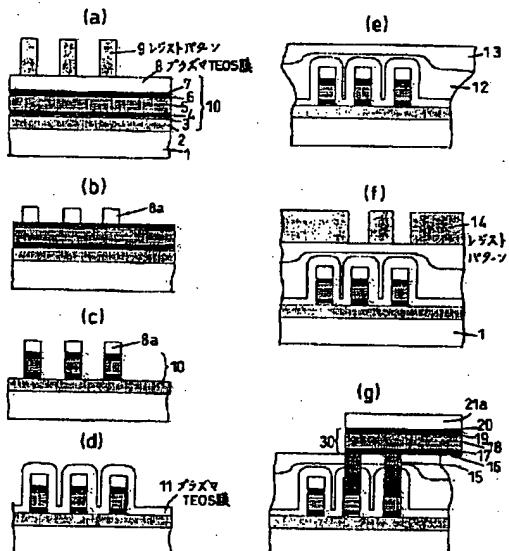
【図2】



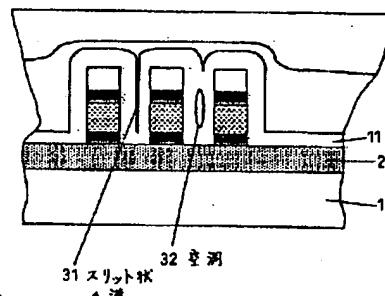
【図3】



【図4】



【図5】



フロントページの続き

(51) Int.Cl.7

H 01 L 21/316
21/318

識別記号

F I
H 01 L 21/318

テ-マコード(参考)

B
C
J
V

21/302
21/90

(9) 000-306999 (P2000-3058

Fターム(参考) 4M104 BB03 BB14 BB18 BB30 DD08
DD37 DD45 DD51 DD72 DD79
EE14 EE15 EE17 FF13 FF18
FF22 HH20
5F004 AA02 BA04 BD01 DA01 DA16
DA23 DA26 DB03 DB07 DB08
DB09 DB12 DB16 DB26 DB27
EA06 EA12 EA23 EA27 EB03
EB07
5F033 HH09 HH18 HH33 JJ18 JJ19
JJ33 KK09 KK18 KK33 MM05
MM08 MM13 NN06 NN07 PP15
QQ08 QQ10 QQ16 QQ24 QQ28
QQ31 QQ37 QQ48 QQ74 RR04
RR08 RR11 RR25 SS04 SS15
SS22 TT04 WW09 XX00 XX03
XX25
5F045 AA08 AB31 AB32 AB33 AB34
AB40 AC01 AC09 AF08 CA05
CB05 CB06 DC52 DC61 DC63
EB19 HA16
5F058 BA20 BC01 BC02 BC07 BC08
BC11 BD02 BD03 BD04 BF01
BF02 BF07 BF23 BF25 BF46
BH01 BJ01 BJ02 BJ07